

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年 9月20日
Date of Application:

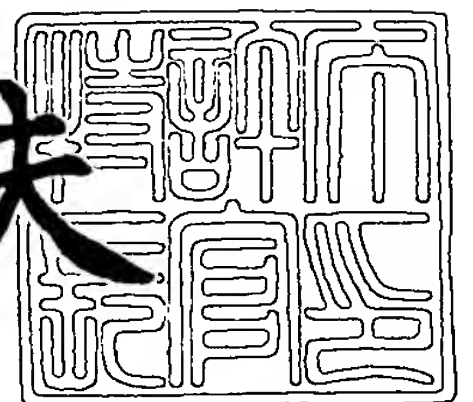
出願番号 特願2002-274807
Application Number:
[ST. 10/C]: [JP 2002-274807]

出願人 カシオ計算機株式会社
Applicant(s):

2003年 8月 6日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2003-3062930

【書類名】 特許願

【整理番号】 02-0700-00

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/60
H01L 23/28
H01L 27/14

【発明者】

【住所又は居所】 東京都八王子市石川町 2 9 5 1 番地の 5
カシオ計算機株式会社八王子研究所内

【氏名】 定別当 裕康

【特許出願人】

【識別番号】 000001443

【氏名又は名称】 カシオ計算機株式会社

【代理人】

【識別番号】 100073221

【弁理士】

【氏名又は名称】 花輪 義男

【手数料の表示】

【予納台帳番号】 057277

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0015435

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体パッケージおよびその製造方法

【特許請求の範囲】

【請求項 1】 一の面にデバイス領域を有するとともに該デバイス領域に接続される接続パッドを有する半導体基板と、該半導体基板の一の面側に設けられた支持基板と、前記半導体基板の他の面側に設けられた外部電極と、一部が前記半導体基板の周囲に延出され、前記接続パッドと前記外部電極とを電氣的に接続する接続手段とを具備することを特徴とする半導体パッケージ。

【請求項 2】 請求項 1 に記載の発明において、前記接続手段は前記半導体基板の他の面側に延出された再配線を含むことを特徴とする半導体パッケージ。

【請求項 3】 請求項 1 に記載の発明において、前記接続手段は、一端部が前記接続パッドに接続され、他端部が前記半導体基板の周囲に延出された接続用配線を有することを特徴とする半導体パッケージ。

【請求項 4】 請求項 3 に記載の発明において、前記接続用配線はめっきにより形成された金属層を含むことを特徴とする半導体パッケージ。

【請求項 5】 請求項 3 に記載の発明において、前記接続用配線は前記半導体基板の一の面に密着する部分を有することを特徴とする半導体パッケージ。

【請求項 6】 請求項 3 に記載の発明において、前記接続用配線は前記支持基板に密着して形成されていることを特徴とする半導体パッケージ。

【請求項 7】 請求項 3 に記載の発明において、前記接続パッドと前記接続用配線との間に突起状の接続電極を有することを特徴とする半導体パッケージ。

【請求項 8】 請求項 3 に記載の発明において、前記半導体基板の周囲に延出された前記接続用配線を含む前記半導体基板の他の面と前記再配線との間に絶縁膜が設けられていることを特徴とする半導体パッケージ。

【請求項 9】 請求項 2 に記載の発明において、前記接続手段は、前記支持基板の前記半導体基板との対向面に設けられ、一端部が前記接続パッドに接続され、他端部が前記半導体基板の周囲に延出された接続用配線と、該接続用配線の他端部上に設けられた柱状電極とを有し、前記柱状電極に前記再配線が接続されていることを特徴とする半導体パッケージ。

【請求項 1 0】 請求項 9 に記載の発明において、前記半導体基板の周囲に延出された前記接続用配線および前記柱状電極を含む前記半導体基板の他の面と前記再配線との間に絶縁膜が設けられていることを特徴とする半導体パッケージ。

【請求項 1 1】 請求項 2 に記載の発明において、前記再配線の接続パッド部上に前記外部電極が設けられ、該外部電極を除いて前記再配線を含む前記半導体基板の他の面側を覆うように絶縁膜が設けられていることを特徴とする半導体パッケージ。

【請求項 1 2】 請求項 1 1 に記載の発明において、前記外部電極は柱状であり、該柱状の外部電極上に半田ボールが設けられていることを特徴とする半導体パッケージ。

【請求項 1 3】 請求項 1 に記載の発明において、前記デバイス領域は光電変換デバイス領域であることを特徴とする半導体パッケージ。

【請求項 1 4】 請求項 1 に記載の発明において、前記支持基板はガラス基板であることを特徴とする半導体パッケージ。

【請求項 1 5】 請求項 1 4 に記載の発明において、前記半導体基板と前記ガラス基板との間に透明接着層または透明封止膜が設けられていることを特徴とする半導体パッケージ。

【請求項 1 6】 一の面に複数のデバイス領域を有するとともに該各デバイス領域に接続されるそれぞれ複数の接続パッドを有するウエハ状態の半導体基板の一の面上に複数の接続用配線をその各一端部を対応する前記接続パッドに接続させて且つその各他端部が対応する前記接続パッドの外側に延出されるように形成する工程と、

前記複数の接続用配線を含む前記半導体基板の一の面に支持基板を配置する工程と、

前記デバイス領域間において少なくとも前記複数の接続用配線の各他端部に対応する部分における前記半導体基板を除去して前記複数の接続用配線の各他端部を露出させる工程と、

前記各接続用電極の他端部に電氣的に接続される外部電極を形成する工程と、

前記デバイス領域間における前記支持基板を切断して前記外部電極を備えた前記半導体基板を有する半導体パッケージを複数個得る工程とを有することを特徴とする半導体パッケージの製造方法。

【請求項 1 7】 請求項 1 6 に記載の発明において、前記デバイス領域間において少なくとも前記複数の接続用配線の各他端部に対応する部分における前記半導体基板を除去する前に、前記半導体基板の他の面側を研磨して前記半導体基板を薄型化する工程を有することを特徴とする半導体パッケージの製造方法。

【請求項 1 8】 複数の半導体パッケージに対応するサイズの支持基板の一面の複数の半導体基板搭載領域内の周辺部から該各半導体基板搭載領域の周囲にかけてそれぞれ接続用配線を形成するとともに前記各半導体基板搭載領域の周囲に形成された前記接続用配線上に柱状電極を形成する工程と、

各々が前記支持基板との対向面にデバイス領域を有するとともに該デバイス領域の周囲に接続電極を有する複数の半導体基板を前記支持基板の複数の半導体基板搭載領域上にそれぞれ配置するとともに前記各半導体基板の接続電極に対応する前記支持基板の各半導体基板搭載領域内の周辺部に形成された前記各接続用配線に接続する工程と、

前記各柱状電極に電氣的に接続される外部電極を形成する工程と、

前記半導体基板間における前記支持基板を切断して前記外部電極を備えた前記半導体基板を有する半導体パッケージを複数個得る工程とを有することを特徴とする半導体パッケージの製造方法。

【請求項 1 9】 請求項 1 8 に記載の発明において、前記複数の半導体基板を前記支持基板の複数の半導体基板搭載領域上にそれぞれ配置した後に、前記柱状電極を含む前記半導体基板の他の面を覆うように絶縁膜を形成し、該絶縁膜の表面側および前記半導体基板の他の面側を研磨して前記半導体基板を薄型化するとともに前記柱状電極の上面を露出させる工程を有することを特徴とする半導体パッケージの製造方法。

【請求項 2 0】 請求項 1 6 ～ 1 8 のいずれかに記載の発明において、外部電極は、前記半導体基板の他の面側に延出される再配線を形成し、該再配線上に形成することを特徴とする半導体パッケージの製造方法。

【請求項 2 1】 請求項 2 0 に記載の発明において、前記再配線の接続パッド部上に前記外部電極を形成する工程と、該外部電極を除いて前記再配線を含む前記半導体基板の他の面側を覆うように絶縁膜を形成する工程とを有することを特徴とする半導体パッケージの製造方法。

【請求項 2 2】 請求項 2 1 に記載の発明において、前記外部電極上に半田ボールを形成する工程を有することを特徴とする半導体パッケージの製造方法。

【請求項 2 3】 請求項 1 6 ～ 1 8 のいずれかに記載の発明において、前記デバイス領域は光電変換デバイス領域であることを特徴とする半導体パッケージの製造方法。

【請求項 2 4】 請求項 1 6 ～ 1 8 に記載の発明において、前記支持基板はガラス基板であることを特徴とする半導体パッケージの製造方法。

【請求項 2 5】 請求項 2 4 に記載の発明において、前記半導体基板と前記ガラス基板との間に透明接着層または透明封止膜を形成する工程を有することを特徴とする半導体パッケージの製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

この発明は半導体パッケージおよびその製造方法に関する。

【 0 0 0 2 】

【従来の技術】

従来の半導体パッケージ、特に、主面側に CCD（電荷結合素子）またはトランジスタ等の光感应性素子が形成された半導体基板に関するものとしては、セラミック基板上に低融点ガラスを介し、リードフレームおよびウインドフレームが固着され、セラミック基板上に CCD ロングチップが固定された後に CCD ロングチップ上の電極と内部リード、凹部付の内部リード先端部とを金属細線により電氣的に接続し、熱硬化型樹脂を介してキャップを固定している（例えば、特許文献 1 参照。）。

また、EPROM、CCD および他の光 IC デバイス用の集積回路ダイであって、金属化されたバイアが貫通する基板を有し、この集積回路ダイは、この基板

の第 1 の表面に取着し、金属化されたバイアと電氣的に接続し、接着性ビートをこのダイの周りの基板に塗り、このビートが、ダイの側面、ダイの上側の第 1 の表面の周辺部、およびボンディングワイヤを覆い、透明な封入材料の層を、ビートで形成されたキャビティ内のダイに堆積させ、この封入材料を硬化し、パッケージの外側表面を形成しているものもある（例えば、特許文献 2 参照。）。

【 0 0 0 3 】**【特許文献 1】**

特開平 4 - 2 4 6 8 5 2 号公報（第 1 頁、図 1）

【特許文献 2】

特表 2 0 0 1 - 5 1 6 9 5 6 号公報（第 1 頁、図 1）

【 0 0 0 4 】**【発明が解決しようとする課題】**

ところで、上記前段の従来の半導体パッケージでは、外部リードを備えているため、厚型化してしまうという問題があった。一方、上記後段の従来の半導体パッケージでは、金属化されたバイアが貫通する基板を有しているため、すなわち基板が両面配線構造でスルーホール導通部を有しているため、スルーホール導通部の形成が大変であり、特に、基板がガラス基板であると、スルーホール導通部の形成が極めて困難であるという問題があった。また、基板上にダイを 1 つずつ搭載する方法であるため生産性が低いものであった。

そこで、この発明は、スルーホール導通部を有せず、薄型化することができる半導体パッケージおよびその製造方法を提供することを目的とする。

また、この発明は、複数の半導体パッケージを一括して製造することができる半導体パッケージの製造方法を提供することを目的とする。

【 0 0 0 5 】**【課題を解決するための手段】**

請求項 1 に記載の発明は、一の面にデバイス領域を有するとともに該デバイス領域に接続される接続パッドを有する半導体基板と、該半導体基板の一の面側に設けられた支持基板と、前記半導体基板の他の面側に設けられた外部電極と、一部が前記半導体基板の周囲に延出され、前記接続パッドと前記外部電極とを電気

的に接続する接続手段とを具備することを特徴とするものである。

請求項 2 に記載の発明は、請求項 1 に記載の発明において、前記接続手段は前記半導体基板の他の面側に延出された再配線を含むことを特徴とするものである。

請求項 3 に記載の発明は、請求項 1 に記載の発明において、前記接続手段は、一端部が前記接続パッドに接続され、他端部が前記半導体基板の周囲に延出された接続用配線を有することを特徴とするものである。

請求項 4 に記載の発明は、請求項 3 に記載の発明において、前記接続用配線はめっきにより形成された金属層を含むことを特徴とするものである。

請求項 5 に記載の発明は、請求項 3 に記載の発明において、前記接続用配線は前記半導体基板の一の面に密着する部分を有することを特徴とするものである。

請求項 6 に記載の発明は、請求項 3 に記載の発明において、前記接続用配線は前記支持基板に密着して形成されていることを特徴とするものである。

請求項 7 に記載の発明は、請求項 3 に記載の発明において、前記接続パッドと前記接続用配線との間に突起状の接続電極を有することを特徴とするものである。

請求項 8 に記載の発明は、請求項 3 に記載の発明において、前記半導体基板の周囲に延出された前記接続用配線を含む前記半導体基板の他の面と前記再配線との間に絶縁膜が設けられていることを特徴とするものである。

請求項 9 に記載の発明は、請求項 2 に記載の発明において、前記接続手段は、前記支持基板の前記半導体基板との対向面に設けられ、一端部が前記接続パッドに接続され、他端部が前記半導体基板の周囲に延出された接続用配線と、該接続用配線の他端部上に設けられた柱状電極とを有し、前記柱状電極に前記再配線が接続されていることを特徴とするものである。

請求項 1 0 に記載の発明は、請求項 9 に記載の発明において、前記半導体基板の周囲に延出された前記接続用配線および前記柱状電極を含む前記半導体基板の他の面と前記再配線との間に絶縁膜が設けられていることを特徴とするものである。

請求項 1 1 に記載の発明は、請求項 2 に記載の発明において、前記再配線の接

続パッド部上に前記外部電極が設けられ、該外部電極を除いて前記再配線を含む前記半導体基板の他の面側を覆うように絶縁膜が設けられていることを特徴とするものである。

請求項 1 2 に記載の発明は、請求項 1 1 に記載の発明において、前記外部電極は柱状であり、該柱状の外部電極上に半田ボールが設けられていることを特徴とするものである。

請求項 1 3 に記載の発明は、請求項 1 に記載の発明において、前記デバイス領域は光電変換デバイス領域であることを特徴とするものである。

請求項 1 4 に記載の発明は、請求項 1 に記載の発明において、前記支持基板はガラス基板であることを特徴とするものである。

請求項 1 5 に記載の発明は、請求項 1 4 に記載の発明において、前記半導体基板と前記ガラス基板との間に透明接着層または透明封止膜が設けられていることを特徴とするものである。

請求項 1 6 に記載の発明は、一の面に複数のデバイス領域を有するとともに該各デバイス領域に接続されるそれぞれ複数の接続パッドを有するウエハ状態の半導体基板の一の面上に複数の接続用配線をその各一端部を対応する前記接続パッドに接続させて且つその各他端部が対応する前記接続パッドの外側に延出されるように形成する工程と、前記複数の接続用配線を含む前記半導体基板の一の面に支持基板を配置する工程と、前記デバイス領域間において少なくとも前記複数の接続用配線の各他端部に対応する部分における前記半導体基板を除去して前記複数の接続用配線の各他端部を露出させる工程と、前記各接続用電極の他端部に電氣的に接続される外部電極を形成する工程と、前記デバイス領域間における前記支持基板を切断して前記外部電極を備えた前記半導体基板を有する半導体パッケージを複数個得る工程とを有することを特徴とするものである。

請求項 1 7 に記載の発明は、請求項 1 6 に記載の発明において、前記デバイス領域間において少なくとも前記複数の接続用配線の各他端部に対応する部分における前記半導体基板を除去する前に、前記半導体基板の他の面側を研磨して前記半導体基板を薄型化する工程を有することを特徴とするものである。

請求項 1 8 に記載の発明は、複数の半導体パッケージに対応するサイズの支持

基板の一の面の複数の半導体基板搭載領域内の周辺部から該各半導体基板搭載領域の周囲にかけてそれぞれ接続用配線を形成するとともに前記各半導体基板搭載領域の周囲に形成された前記接続用配線上に柱状電極を形成する工程と、各々が前記支持基板との対向面にデバイス領域を有するとともに該デバイス領域の周囲に接続電極を有する複数の半導体基板を前記支持基板の複数の半導体基板搭載領域上にそれぞれ配置するとともに前記各半導体基板の接続電極を対応する前記支持基板の各半導体基板搭載領域内の周辺部に形成された前記各接続用配線に接続する工程と、前記各柱状電極に電氣的に接続される外部電極を形成する工程と、前記半導体基板間における前記支持基板を切断して前記外部電極を備えた前記半導体基板を有する半導体パッケージを複数個得る工程とを有することを特徴とするものである。

請求項 1 9 に記載の発明は、請求項 1 8 に記載の発明において、前記複数の半導体基板を前記支持基板の複数の半導体基板搭載領域上にそれぞれ配置した後に、前記柱状電極を含む前記半導体基板の他の面を覆うように絶縁膜を形成し、該絶縁膜の表面側および前記半導体基板の他の面側を研磨して前記半導体基板を薄型化するとともに前記柱状電極の上面を露出させる工程を有することを特徴とするものである。

請求項 2 0 に記載の発明は、請求項 1 6 ～ 1 8 のいずれかに記載の発明において、外部電極は、前記半導体基板の他の面側に延出される再配線を形成し、該再配線上に形成することを特徴とするものである。

請求項 2 1 に記載の発明は、請求項 2 0 に記載の発明において、前記再配線の接続パッド部上に前記外部電極を形成する工程と、該外部電極を除いて前記再配線を含む前記半導体基板の他の面側を覆うように絶縁膜を形成する工程とを有することを特徴とするものである。

請求項 2 2 に記載の発明は、請求項 2 1 に記載の発明において、前記外部電極上に半田ボールを形成する工程を有することを特徴とするものである。

請求項 2 3 に記載の発明は、請求項 1 6 ～ 1 8 のいずれかに記載の発明において、前記デバイス領域は光電変換デバイス領域であることを特徴とするものである。

請求項 2 4 に記載の発明は、請求項 1 6 ～ 1 8 に記載の発明において、前記支持基板はガラス基板であることを特徴とするものである。

請求項 2 5 に記載の発明は、請求項 2 4 に記載の発明において、前記半導体基板と前記ガラス基板との間に透明接着層または透明封止膜を形成する工程を有することを特徴とするものである。

そして、この発明によれば、一の面にデバイス領域を有するとともに該デバイス領域に接続される接続パッドを有する半導体基板の一の面側に支持基板を設け、他の面側に外部電極を設けているので、薄型化することができ、また接続パッドと外部電極とを電氣的に接続する接続手段の一部を半導体基板の周囲に延出させているので、スルーホール導通部を有しない構造とすることができる。また、複数の半導体基板に対して接続手段および外部電極の形成を一括して行うことができるので、生産性を向上することができる。

【 0 0 0 6 】

【発明の実施の形態】

（第 1 実施形態）

図 1 はこの発明の第 1 実施形態としての半導体パッケージの断面図を示したものである。この半導体パッケージは、シリコン基板（半導体基板） 1 を備えている。シリコン基板 1 の下面中央部には C C D やフォトダイオード、フォトランジスタ等の素子を含む光電変換デバイス領域 2 が設けられている。

【 0 0 0 7 】

シリコン基板 1 の下面周辺部にはアルミニウム系金属等からなる複数の接続パッド 3 が光電変換デバイス領域 2 に接続されて設けられている。接続パッド 3 の中央部を除くシリコン基板 1 の下面には酸化シリコン等からなる絶縁膜 4 が設けられている。接続パッド 3 の中央部は、絶縁膜 4 に形成された開口部 5 を介して露出されている。

【 0 0 0 8 】

シリコン基板 1 の上面およびその周囲にはポリイミド等からなる絶縁膜 6 が設けられている。この場合、シリコン基板 1 の周囲に設けられた絶縁膜 6 の下面はシリコン基板 1 の下面に設けられた絶縁膜 4 の下面とほぼ面一となっている。

【 0 0 0 9 】

絶縁膜 4 の開口部 5 を介して露出された接続パッド 3 の下面からその周囲における絶縁膜 6 の下面の所定の箇所にかけて下地金属層 7 a および該下地金属層 7 a 下に設けられた上層金属層 7 b からなる接続用配線 7 が設けられている。すなわち、接続用配線 7 の一端部はシリコン基板 1 の接続パッド 3 に接続され、他端部はシリコン基板 1 の周囲に延出されている。

【 0 0 1 0 】

接続用配線 7 を含むシリコン基板 1 および絶縁膜 6 の下面には透明なエポキシ系樹脂等からなる透明接着層 8 を介して支持基板としてのガラス基板 9 が設けられている。したがって、ガラス基板 9 のサイズはシリコン基板 1 のサイズよりもやや大きくなっている。

【 0 0 1 1 】

絶縁膜 6 の接続用配線 7 の他端部に対応する部分には開口部 1 0 が設けられている。開口部 1 0 を介して露出された接続用配線 7 の他端部上面から絶縁膜 6 の上面の所定の箇所にかけて下地金属層 1 1 a および該下地金属層 1 1 a 上に設けられた上層金属層 1 1 b からなる再配線 1 1 が設けられている。

【 0 0 1 2 】

再配線 1 1 の接続パッド部上面には柱状電極（外部電極） 1 2 が設けられている。再配線 1 1 を含む絶縁膜 6 の上面にはエポキシ系樹脂等からなる封止膜（絶縁膜） 1 3 がその上面が柱状電極 1 2 の上面とほぼ面一となるように設けられている。柱状電極 1 2 の上面には半田ボール 1 4 が設けられている。

【 0 0 1 3 】

次に、この半導体パッケージの製造方法の一例について説明する。まず、図 2 に示すように、ウエハ状態のシリコン基板（半導体基板） 1 上に複数の光電変換デバイス領域 2、アルミニウムからなる接続パッド 3 および酸化シリコンからなる絶縁膜 4 が設けられ、接続パッド 3 の中央部が絶縁膜 4 に形成された開口部 5 を介して露出されたものを用意する。この場合、シリコン基板 1 の厚さは図 1 に示す場合よりもある程度厚くなっている。

【 0 0 1 4 】

特願 2002-274807

次に、図3に示すように、開口部5を介して露出された接続パッド3の上面を含む絶縁膜4の上面全体に下地金属層7aを形成する。この場合、下地金属層7aは、無電解メッキにより形成された銅層のみからなっているが、スパッタにより形成された銅層のみであってもよく、またスパッタにより形成されたチタン等の薄膜層上にスパッタにより銅層を形成したものであってもよい。これは、後述する下地金属層11aの場合も同様である。

【0015】

次に、下地金属層7aの上面にメッキレジスト膜21をパターン形成する。この場合、接続用配線7形成領域に対応する部分におけるメッキレジスト膜21には開口部22が形成されている。次に、下地金属層7aをメッキ電流路として銅の電解メッキを行うことにより、メッキレジスト膜21の開口部22内の下地金属層7aの上面に上層金属層7bを形成する。

【0016】

次に、メッキレジスト膜21を剥離し、次いで、上層金属層7bをマスクとして下地金属層7aの不要な部分をエッチングして除去すると、図4に示すように、上層金属層7b下にのみ下地金属層7aが残存され、この残存された下地金属層7aおよびその上面全体に形成された上層金属層7bにより接続用配線7が形成される。

【0017】

次に、図5に示すように、接続用配線7を含む絶縁膜4の上面全体に透明なエポキシ系樹脂等からなる透明接着層8を介してガラス基板9を貼り付ける。次に、図5に示すものの上下を逆転し、次いで、図6に示すように、シリコン基板1の光電変換デバイス領域2形成面とは反対側の上面を適宜に研磨し、シリコン基板1を薄型化する。例えば、シリコン基板1の厚さが50 μ m程度となるようにする。

【0018】

次に、ウエハサイズのシリコン基板1のうちの図1に示すシリコン基板1に対応しない不要な部分およびその下面の絶縁膜4を、図7に示すように、ダイシングやエッチング等により除去する。したがって、この状態では、シリコン基板1

の周囲に配置された接続用配線 7 および透明接着層 8 の上面は露出され、この露出面は絶縁膜 4 の下面とほぼ面一となる。

【0019】

次に、図 8 に示すように、シリコン基板 1 の周囲に配置された接続用配線 7 および透明接着層 8 を含むシリコン基板 1 の上面全体に感光性ポリイミド等からなる絶縁膜 6 をパターン形成する。この場合、絶縁膜 6 の接続用配線 7 の他端部に対応する部分には開口部 10 が形成されている。

【0020】

次に、図 9 に示すように、開口部 10 を介して露出された接続用配線 7 の他端部を含む絶縁膜 6 の上面全体に下地金属層 11a を無電解メッキにより形成する。次に、下地金属層 11a の上面にメッキレジスト膜 23 をパターン形成する。この場合、再配線 11 形成領域に対応する部分におけるメッキレジスト膜 23 には開口部 24 が形成されている。次に、下地金属層 11a をメッキ電流路として銅の電解メッキを行うことにより、メッキレジスト膜 23 の開口部 24 内の下地金属層 11a の上面に上層金属層 11b を形成する。次に、メッキレジスト膜 23 を剥離する。

【0021】

次に、図 10 に示すように、上層金属層 7b を含む下地金属層 7a の上面にメッキレジスト膜 25 をパターン形成する。この場合、柱状電極 12 形成領域に対応する部分におけるメッキレジスト膜 25 には開口部 26 が形成されている。次に、下地金属層 11a をメッキ電流路として銅の電解メッキを行うことにより、メッキレジスト膜 25 の開口部 26 内の上層金属層 11b の接続パッド部上面に柱状電極 12 を形成する。

【0022】

次に、メッキレジスト膜 25 を剥離し、次いで、柱状電極 12 および上層金属層 11b をマスクとして下地金属層 11a の不要な部分をエッチングして除去すると、図 11 に示すように、上層金属層 11b 下にのみ下地金属層 11a が残存され、この残存された下地金属層 11a およびその上面全体に形成された上層金属層 11b により再配線 11 が形成される。

【 0 0 2 3 】

次に、図 1 2 に示すように、柱状電極 1 2 および再配線 1 1 を含む絶縁膜 6 の上面全体にエポキシ系樹脂からなる封止膜 1 3 をその厚さが柱状電極 1 2 の高さよりも厚くなるように形成する。したがって、この状態では、柱状電極 1 2 の上面は封止膜 1 3 によって覆われている。次に、封止膜 1 3 および柱状電極 1 2 の上面側を適宜に研磨し、図 1 3 に示すように、柱状電極 1 2 の上面を露出させ、且つ、この露出された柱状電極 1 2 の上面を含む封止膜 1 3 の上面を平坦化する。

【 0 0 2 4 】

次に、図 1 4 に示すように、柱状電極 1 2 の上面に半田ボール 1 4 を形成する。この場合、柱状電極 1 2 と半田ボール 1 4 の接合強度を確保するため、半田ボール 1 4 を形成する前に、柱状電極 1 2 の表面に生じたばりをエッチングにより除去したり、酸化防止のためのめっき処理、あるいはフラックス塗布等の前処理を行ってもよい。この前処理により柱状電極 1 2 の上面と封止膜 1 3 の上面とは、多少、凹凸を生じたとしても、ほぼ同一面を維持することができる。

【 0 0 2 5 】

次に、図 1 5 に示すように、互いに隣接するシリコン基板 1 間において、封止膜 1 3、絶縁膜 6、透明接着層 8 およびガラス基板 9 を切断すると、図 1 に示す半導体パッケージが複数個得られる。

【 0 0 2 6 】

このようにして得られた半導体パッケージでは、シリコン基板 1 の光電変換デバイス 2 形成面に透明接着層 8 を介して外装基板としてのガラス基板 9 を設け、シリコン基板 1 の光電変換デバイス 2 形成面とは反対側の面に絶縁膜 6、再配線 1 1、柱状電極 1 2、封止膜 1 3 および半田ボール 1 4 を設けているので、外部リードを有する場合と比較して、薄型化することができる。

【 0 0 2 7 】

また、シリコン基板 1 の接続パッド 3 と再配線 1 1 とを電氣的に接続する接続用配線 7 の他端部をシリコン基板 1 の周囲に設けているので、スルーホール導通部を有しない構造とすることができる。

【 0 0 2 8 】

また、柱状電極 1 2 を有しているので、この半導体パッケージを半田ボール 1 4 を介して回路基板（図示せず）上に搭載した後において、シリコン基板 1 と回路基板との熱膨張係数差に起因する応力を柱状電極 1 2 である程度緩和することができる。

【 0 0 2 9 】

さらに、上記製造方法では、ウエハ状態のシリコン基板 1 に対して、接続用配線 7 の形成、透明接着層 8 を介してのガラス基板 9 の貼り付け、絶縁膜 6 、再配線 1 1 、柱状電極 1 2 、封止膜 1 3 および半田ボール 1 4 の形成を一括して行い、その後に分断して複数個の半導体パッケージを得ているので、生産性を向上することができる。

【 0 0 3 0 】

なお、上述の第 1 実施形態では、光電変換デバイス領域 2 を有するシリコン基板 1 に設けられた複数の接続パッド 3 に接続される接続用配線 7 をシリコン基板 1 をベース部材として形成するものであったが、予めガラス基板 9 に接続用配線 7 を形成しておき、該接続用配線 7 に光電変換デバイス領域 2 を有するシリコン基板 1 に設けられた複数の接続パッド 3 を接続することもできる。以下、このような方法の一実施形態を示す。

【 0 0 3 1 】

(第 2 実施形態)

図 1 6 はこの発明の第 2 実施形態としての半導体パッケージの断面図を示したものである。この半導体パッケージの主たる特徴は、シリコン基板 1 の接続パッド 3 上に設けられた下地金属層 3 0 上に設けられたバンプ電極（接続電極） 3 1 をガラス基板 9 上に設けられた下地金属層 7 a および上層金属層 7 b からなる接続用配線 7 の一端部上に接続し、シリコン基板 1 とガラス基板 9 との間に透明なエポキシ系樹脂等からなる透明封止膜 3 2 を設け、接続用配線 7 の他端部上に設けられた柱状電極 3 3 上に下地金属層 1 1 a および上層金属層 1 1 b からなる再配線 1 1 を接続し、シリコン基板 1 の周囲における接続用配線 7 および柱状電極 3 3 をエポキシ系樹脂等からなる封止膜（絶縁膜） 3 4 で覆ったことである。

【0032】

次に、この半導体パッケージの製造方法の一例について説明する。まず図17に示すように、複数の半導体パッケージに対応するサイズ、好適な一実施例をあげれば、第1実施形態と同様、ウエハの大きさに対応するサイズのガラス基板9の上面に、それぞれ下地金属層7aおよび上層金属層7bからなる接続用配線7を、上記ウエハに設けられた光電変換デバイス領域2に接続された各接続パッド3に対応する位置からその周縁部に延出されるように形成し、引き続いて、各接続用配線7の周縁部側の一端部上に柱状電極33を形成する。

【0033】

接続用配線7および柱状電極33の形成方法は、図11に関して説明した方法が適用できる。図17において、柱状電極33が形成された接続用電極7の各1組の間には、光電変換デバイス領域2に接続された各接続パッド3が形成されたシリコン基板が搭載されるシリコン基板搭載領域が設けられる。

【0034】

次に、図18に示すように、ガラス基板9の複数の半導体基板搭載領域上にそれぞれシリコン基板1を搭載して各接続用配線7に接続する。但し、この場合、シリコン基板1上には、光電変換デバイス領域2、各接続パッド3、絶縁膜4の他、各接続パッド4上に下地金属層30およびバンプ電極31が形成されている。下地金属層30およびバンプ電極31は既に知られた方法で形成すればよい。

【0035】

そして、シリコン基板1の下面周辺部に設けられたバンプ電極31をシリコン基板搭載領域内の周辺部に形成された接続用配線7上にボンディングして接続する。この場合も、シリコン基板1の厚さは図16に示す場合よりもある程度厚くなっている。また、この場合には、光電変換デバイス領域2等を備えたシリコン基板1として良品のみを用いる。次に、シリコン基板1とガラス基板9との間に透明なエポキシ系樹脂からなる封止膜32を充填して形成する。

【0036】

次に、図19に示すように、シリコン基板1、接続用配線7および柱状電極33を含むガラス基板9の上面全体をエポキシ系樹脂からなる封止膜34で覆う。

次に、封止膜 34、シリコン基板 1 および柱状電極 33 の上面側を適宜に研磨し、図 20 に示すように、シリコン基板 1 および柱状電極 33 の上面を露出させるとともにシリコン基板 1 を薄型化し、且つ、露出されたシリコン基板 1 および柱状電極 33 の上面を含む封止膜 34 の上面を平坦化する。

【0037】

次に、図 21 に示すように、シリコン基板 1、柱状電極 33 および封止膜 34 の上面全体に感光性ポリイミド等からなる絶縁膜 6 をパターン形成する。この場合、絶縁膜 6 の柱状電極 33 の上面中央部に対応する部分には開口部 10 が形成されている。

【0038】

次に、図 9 ～図 14 にそれぞれ示す製造工程を経ることにより、図 22 に示すように、下地金属層 11a および上層金属層 11b からなる再配線 11、柱状電極 12、封止膜 13 および半田ボール 14 を形成する。この場合、再配線 11 は開口部 10 を介して柱状電極 33 の上面に接続される。次に、図 23 に示すように、互いに隣接するシリコン基板 1 間において、封止膜 13、絶縁膜 6、封止膜 34 およびガラス基板 9 を切断すると、図 16 に示す半導体パッケージが複数個得られる。

【0039】

このようにして得られた半導体パッケージでは、シリコン基板 1 の光電変換デバイス 2 形成面に透明封止膜 32 を介して外装基板としてのガラス基板 9 を設け、シリコン基板 1 の光電変換デバイス 2 形成面とは反対側の面に絶縁膜 6、再配線 11、柱状電極 12、封止膜 13 および半田ボール 14 を設けているので、外部リードを有する場合と比較して、薄型化することができる。

【0040】

また、シリコン基板 1 の接続パッド 3 と再配線 11 とを電氣的に接続する接続用配線 7 の一部および柱状電極 33 をシリコン基板 1 の周囲に設けているので、支持部材にスルーホール導通部を有しない構造とすることができる。

【0041】

また、柱状電極 12 を有しているので、この半導体パッケージを半田ボール 1

4 を介して回路基板（図示せず）上に搭載した後において、シリコン基板 1 と回路基板との熱膨張係数差に起因する応力を柱状電極 1 2 である程度緩和することができる。

【0 0 4 2】

さらに、上記製造方法では、複数の半導体パッケージに対応するサイズのガラス基板 9 に対して、接続用配線 7 および柱状電極 3 3 の形成、シリコン基板 1 の搭載、透明封止膜 3 2、封止膜 3 4、絶縁膜 6、再配線 1 1、柱状電極 1 2、封止膜 1 3 および半田ボール 1 4 の形成を一括して行い、その後に分断して複数個の半導体パッケージを得ているので、生産性を向上することができる。

【0 0 4 3】

（その他の実施形態）

上記各実施形態では、再配線 1 1 の接続パッド部上に設けられた柱状電極 1 2 上に半田ボール 1 4 を設けているが、これに限定されるものではない。例えば、図 2 4 に示すこの発明の他の実施形態のように、再配線 1 1 を含む絶縁膜 6 の上面全体に、再配線 1 1 の接続パッド部に対応する部分に開口部 4 1 を有する絶縁膜 4 2 をパターン形成し、開口部 4 2 内およびその上に半田ボール 1 4 を再配線 1 1 の接続パッド部に接続させて形成するようにしてもよい。

【0 0 4 4】

また、上記各実施形態では、半導体基板に光電変換デバイスが形成されているものとしたが、光電変換デバイスに限らず、メモリ用や制御用の集積回路、あるいはセンサ素子等が形成されているデバイスにも適用可能である。

【0 0 4 5】

【発明の効果】

以上説明したように、この発明によれば、一の面にデバイス領域を有するとともに該デバイス領域に接続される接続パッドを有する半導体基板の一の面側に支持基板を設け、他の面側に外部電極を設けているので、薄型化することができ、また接続パッドと外部電極とを電氣的に接続する接続手段の一部を半導体基板の周囲に延出させているので、スルーホール導通部を有しない構造とすることができる。また、複数の半導体基板に対して接続手段および外部電極の形成を一括し

て行うことができるので、生産性を向上することができる。

【図面の簡単な説明】

【図 1】

この発明の第 1 実施形態としての半導体パッケージの断面図。

【図 2】

図 1 に示す半導体パッケージの製造方法の一例において、当初用意したものの断面図。

【図 3】

図 2 に続く製造工程の断面図。

【図 4】

図 3 に続く製造工程の断面図。

【図 5】

図 4 に続く製造工程の断面図。

【図 6】

図 5 に続く製造工程の断面図。

【図 7】

図 6 に続く製造工程の断面図。

【図 8】

図 7 に続く製造工程の断面図。

【図 9】

図 8 に続く製造工程の断面図。

【図 1 0】

図 9 に続く製造工程の断面図。

【図 1 1】

図 1 0 に続く製造工程の断面図。

【図 1 2】

図 1 1 に続く製造工程の断面図。

【図 1 3】

図 1 2 に続く製造工程の断面図。

【図 1 4】

図 1 3 に続く製造工程の断面図。

【図 1 5】

図 1 4 に続く製造工程の断面図。

【図 1 6】

この発明の第 2 実施形態としての半導体パッケージの断面図。

【図 1 7】

図 1 6 に示す半導体パッケージの製造方法の一例において、当初の製造工程の断面図。

【図 1 8】

図 1 7 に続く製造工程の断面図。

【図 1 9】

図 1 8 に続く製造工程の断面図。

【図 2 0】

図 1 9 に続く製造工程の断面図。

【図 2 1】

図 2 0 に続く製造工程の断面図。

【図 2 2】

図 2 1 に続く製造工程の断面図。

【図 2 3】

図 2 2 に続く製造工程の断面図。

【図 2 4】

この発明の他の実施形態としての半導体パッケージの断面図。

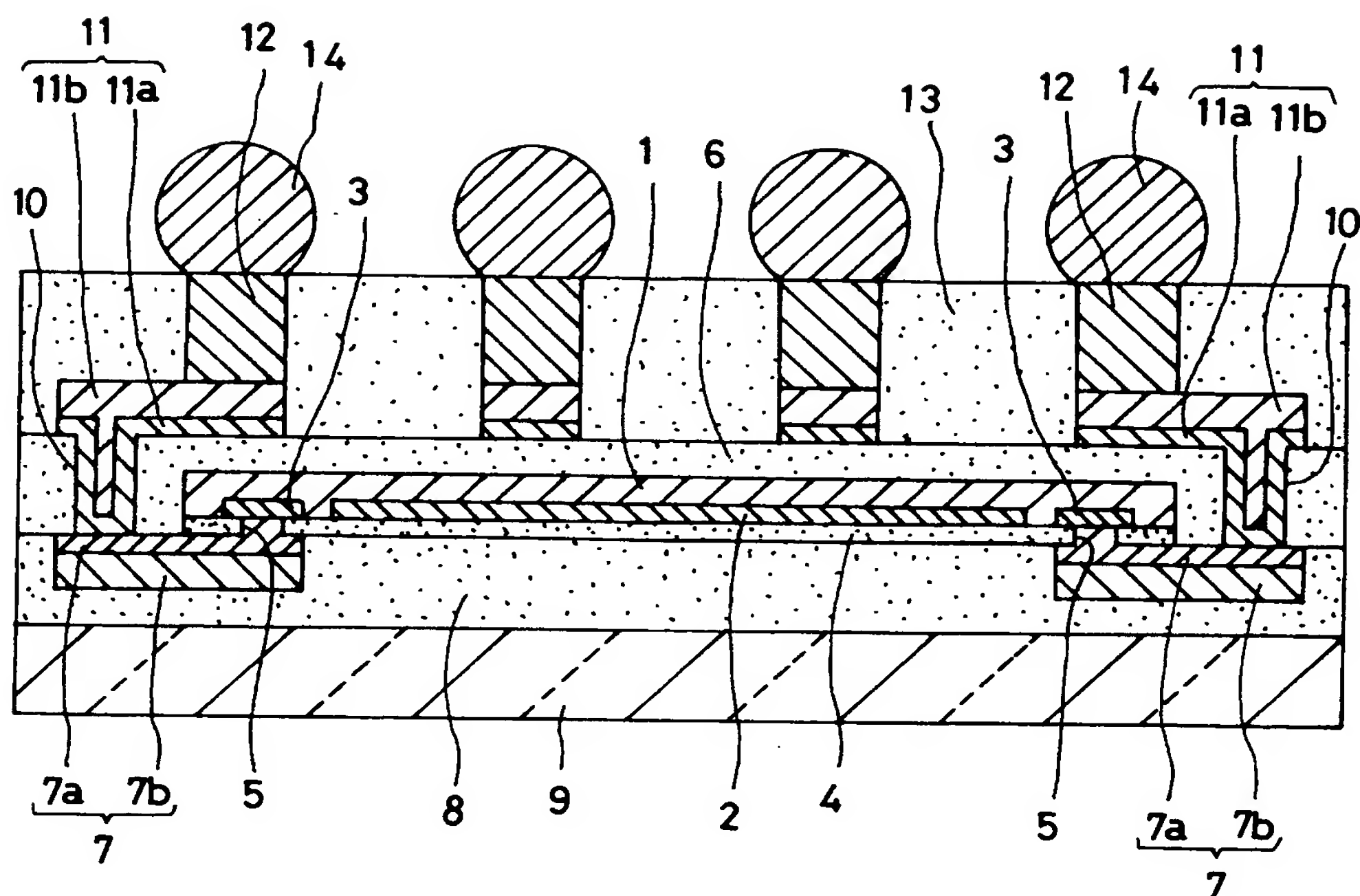
【符号の説明】

- 1 シリコン基板
- 2 光電変換デバイス領域
- 3 接続パッド
- 4 絶縁膜
- 6 絶縁膜

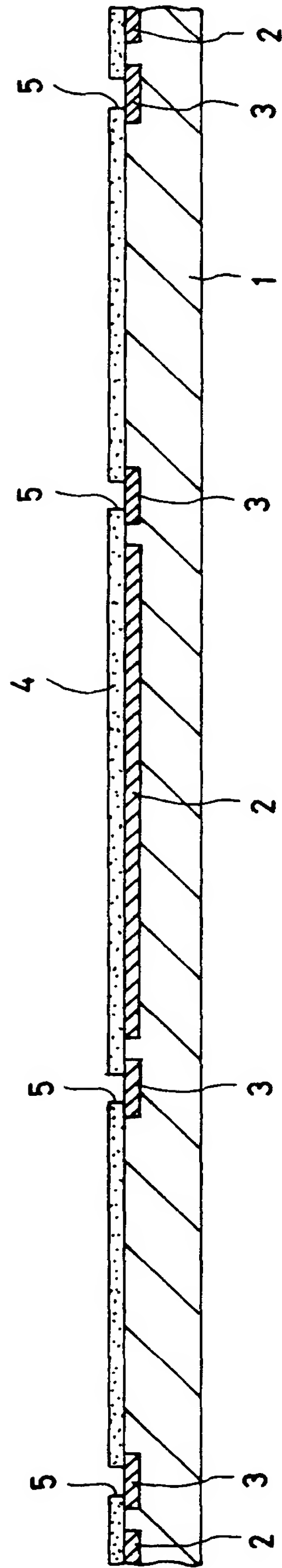
- 7 接続用配線
- 8 透明接着層
- 9 ガラス基板
- 1 1 再配線
- 1 2 柱状電極
- 1 3 封止膜
- 1 4 半田ボール
- 3 1 バンプ電極
- 3 2 封止膜
- 3 3 柱状電極
- 3 4 封止膜

【書類名】 図面

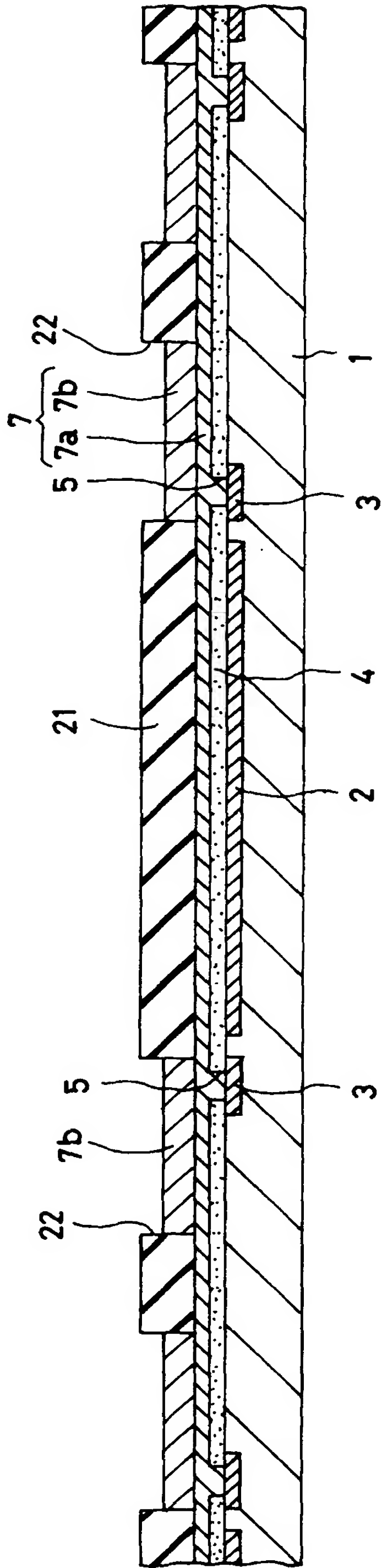
【図 1】



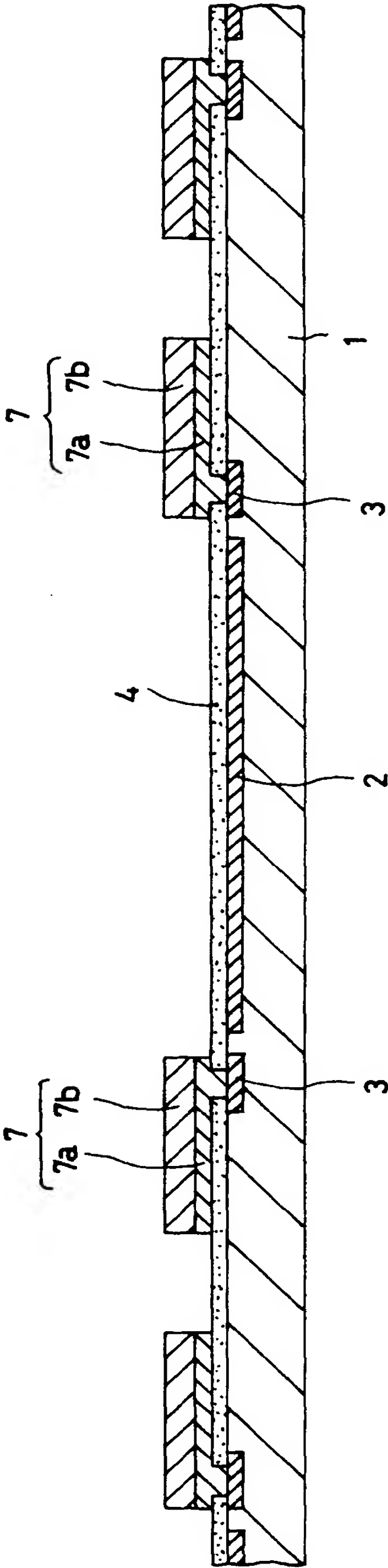
【図 2】



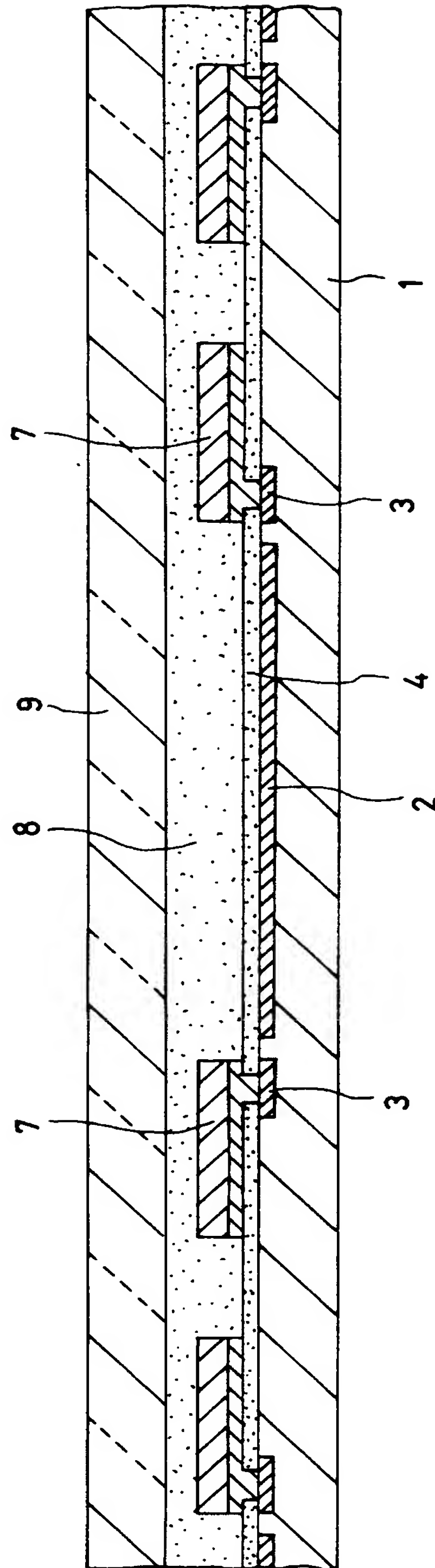
【図 3】



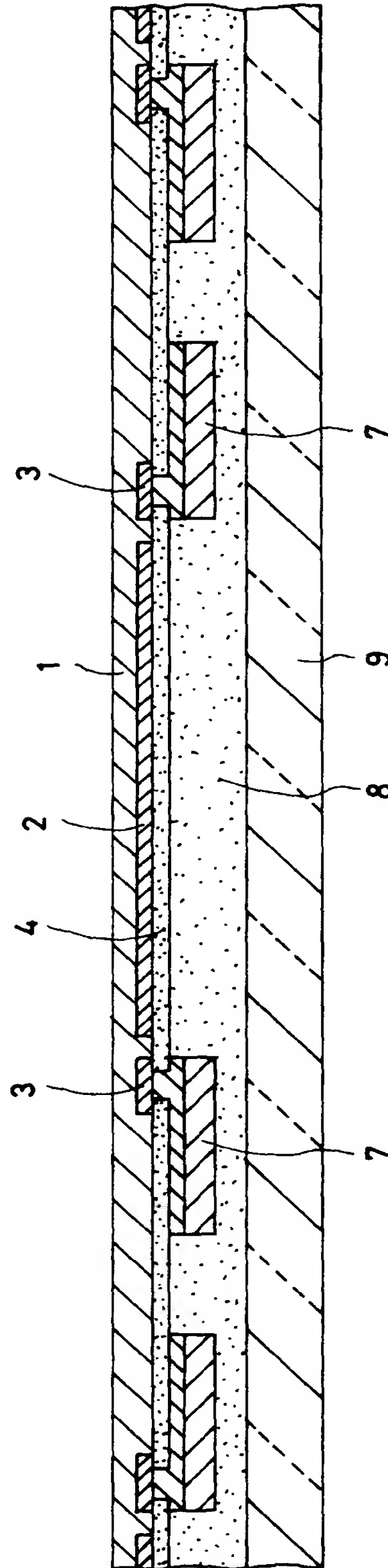
【図 4】



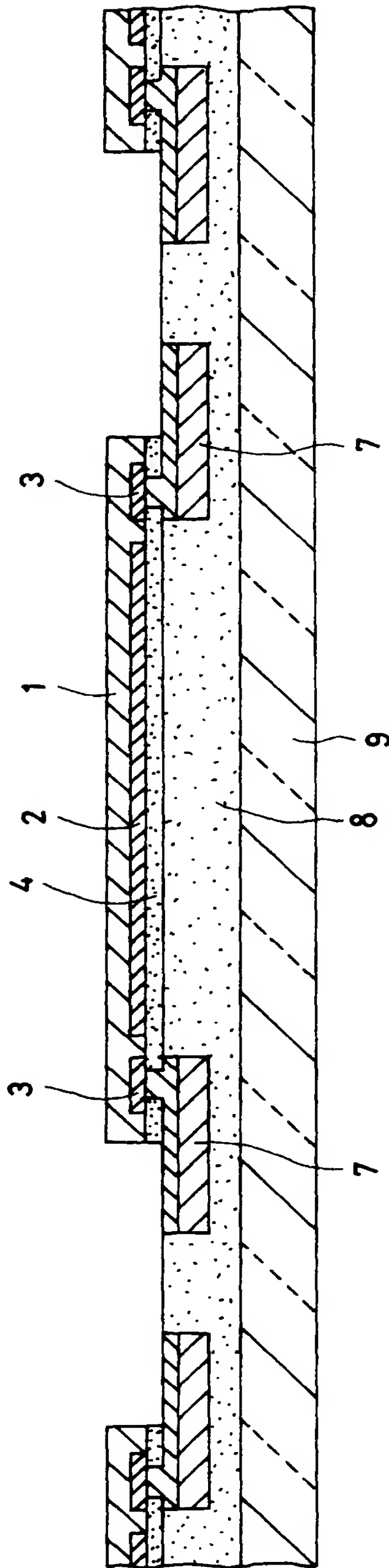
【図 5】



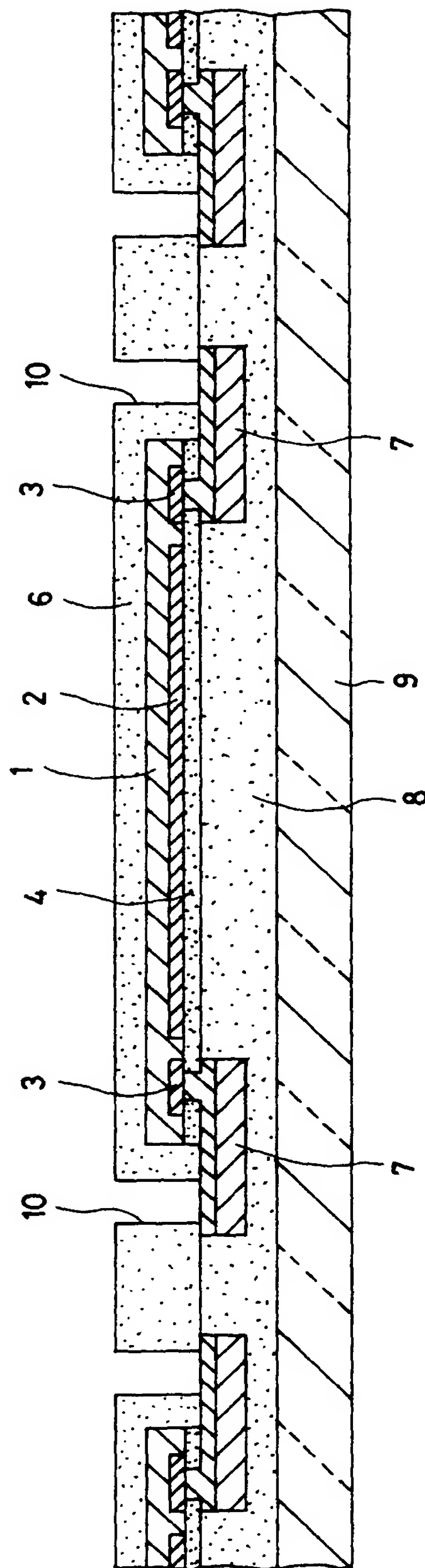
【図 6】



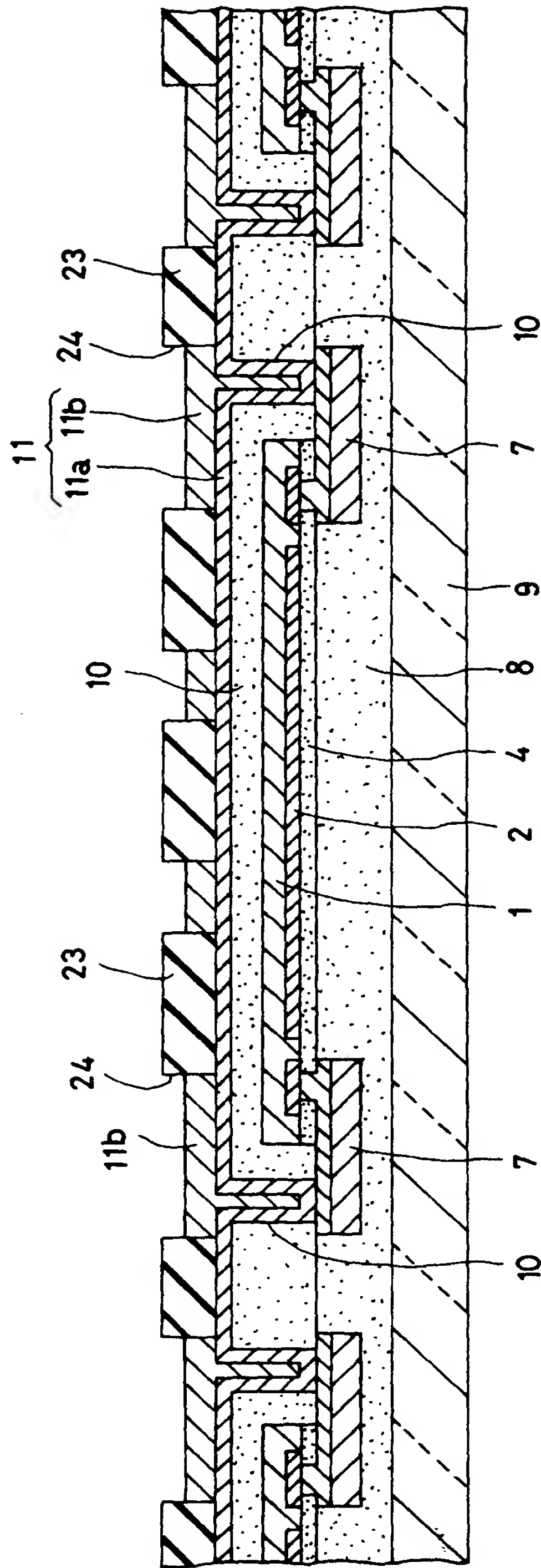
【図 7】



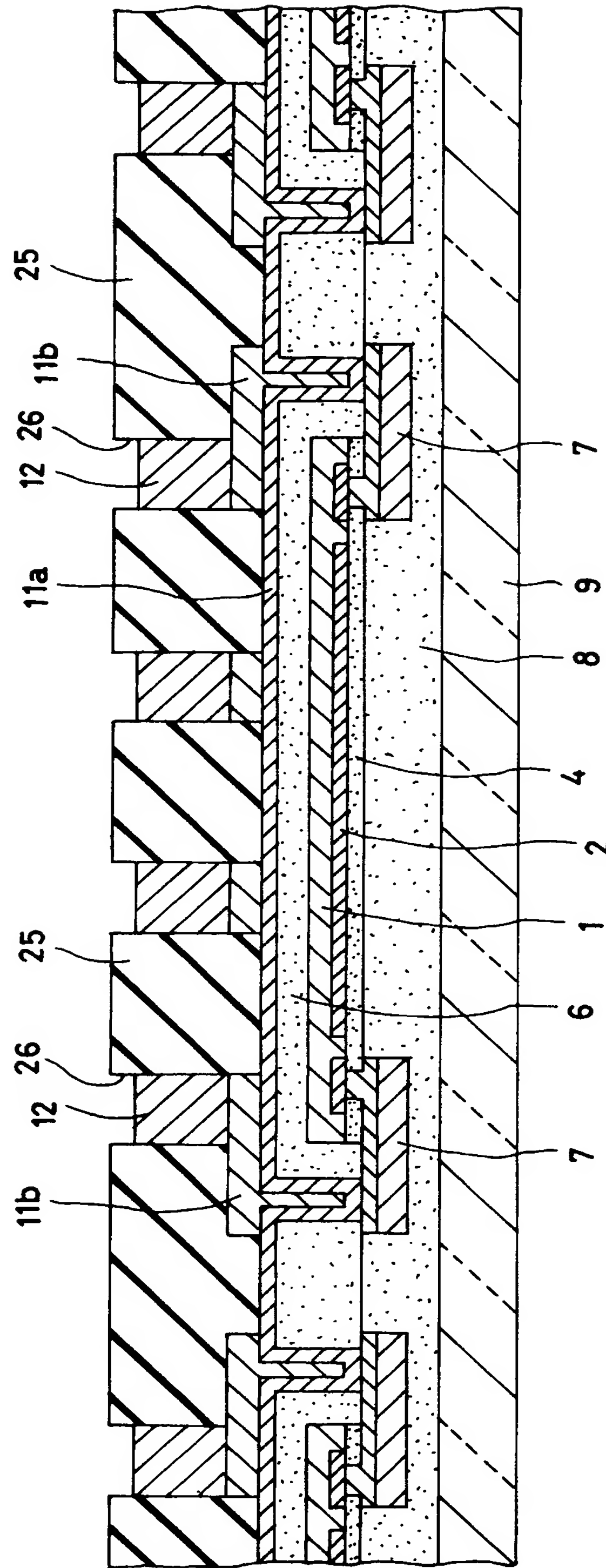
【図 8】



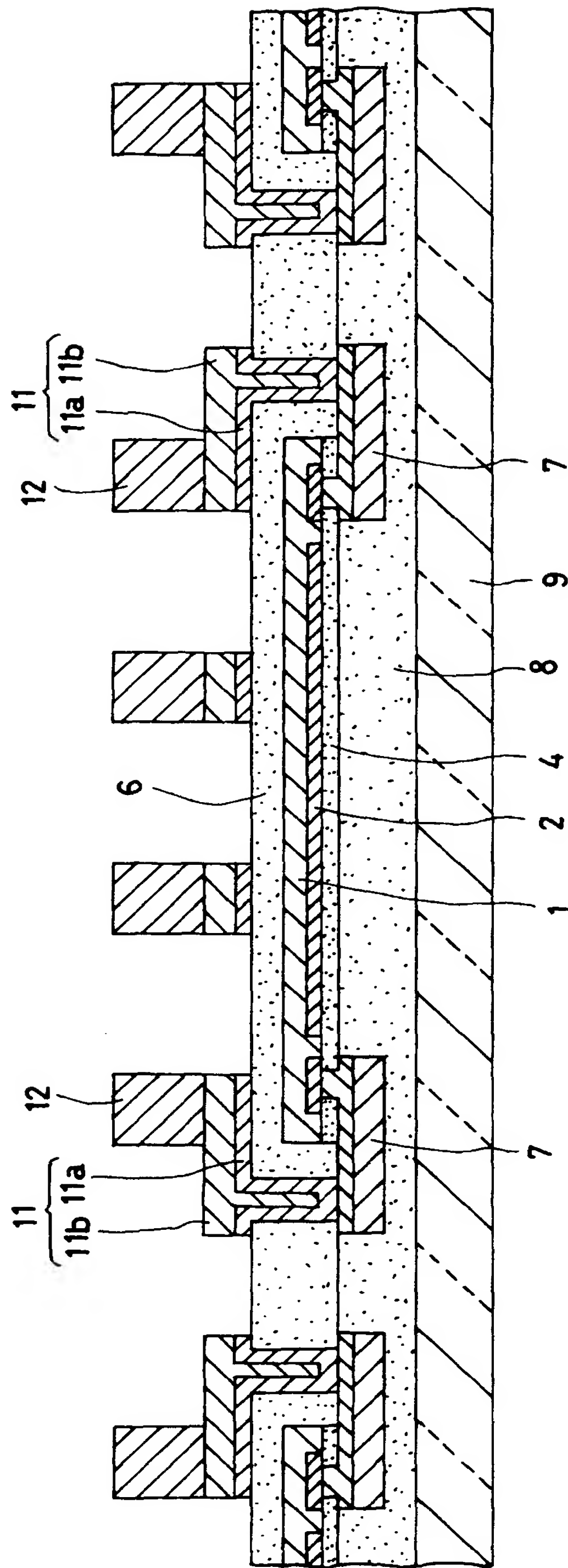
【図 9】



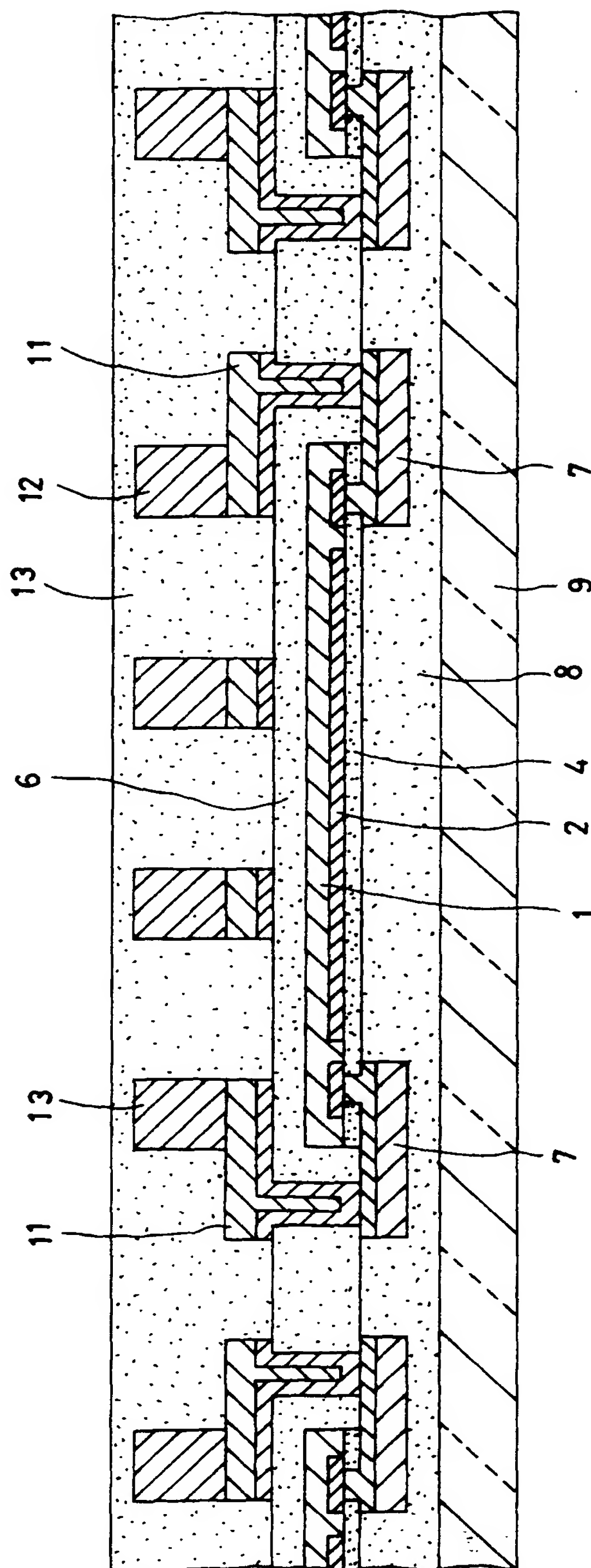
【図 10】



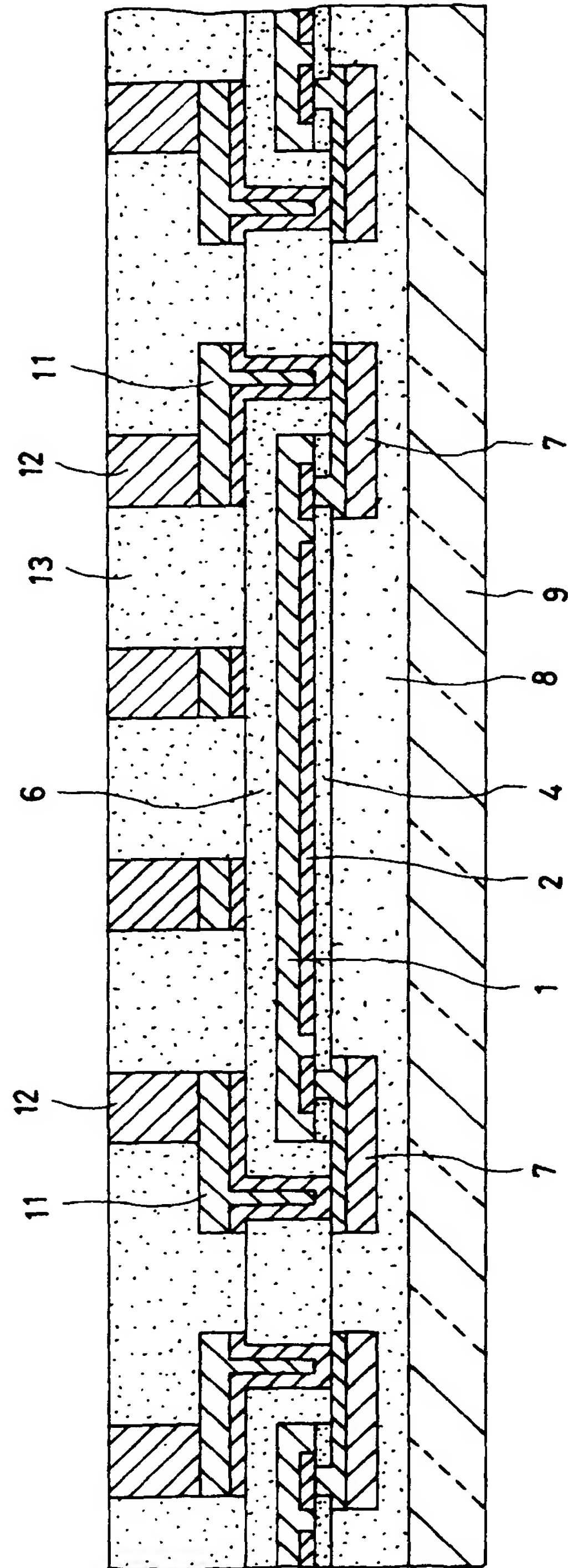
【図 11】



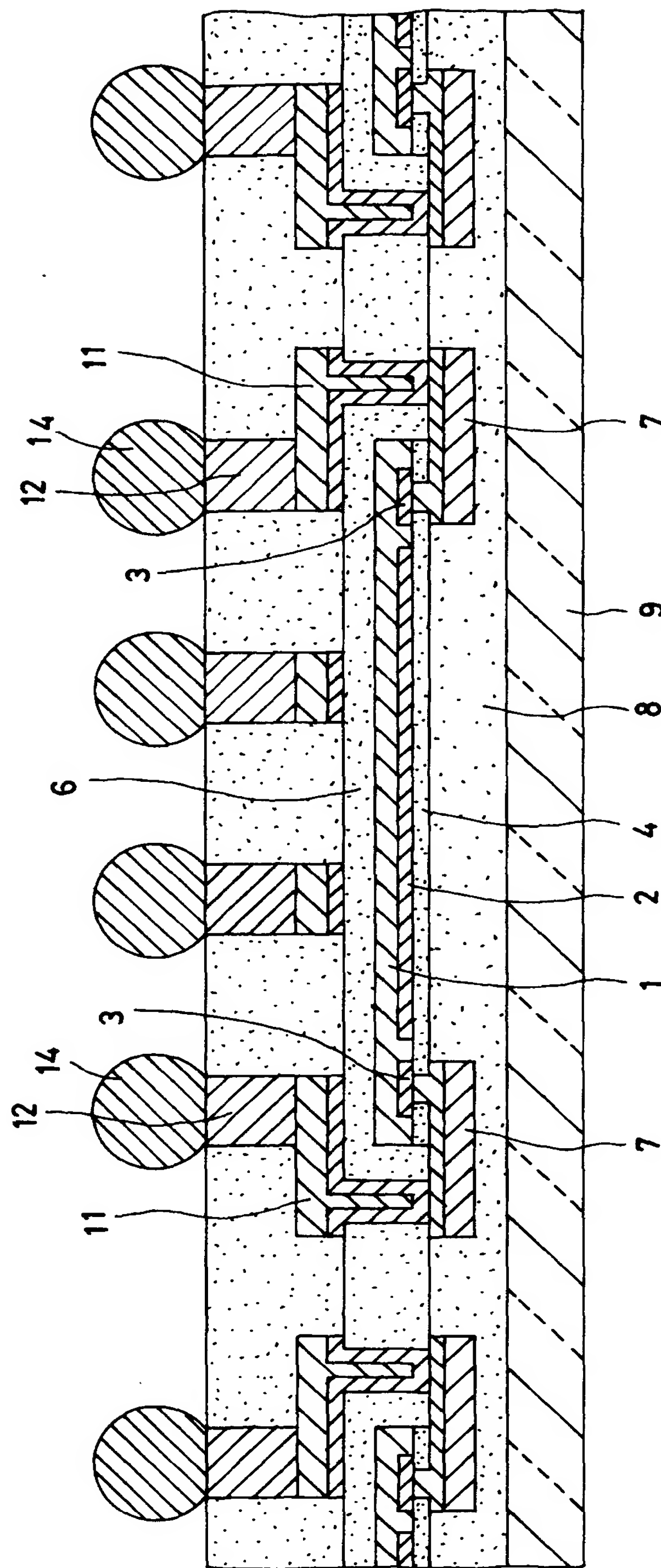
【図 12】



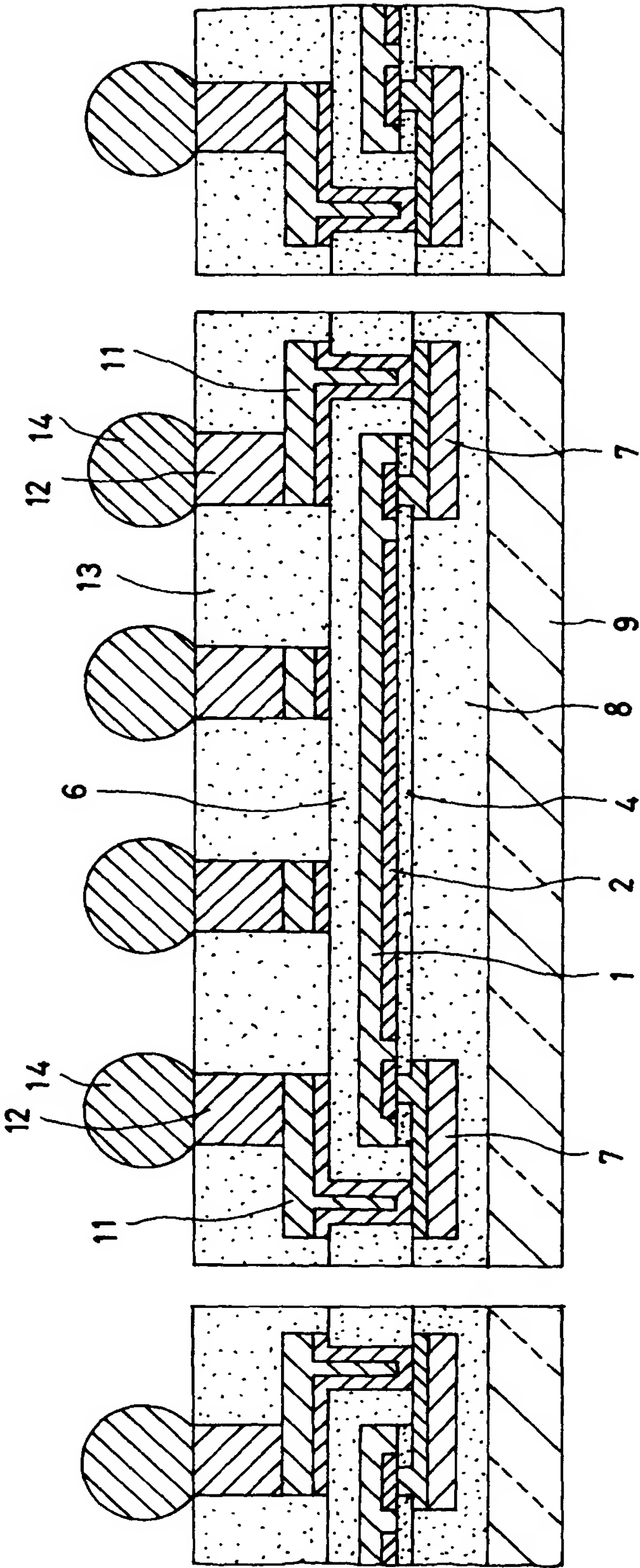
【図 13】



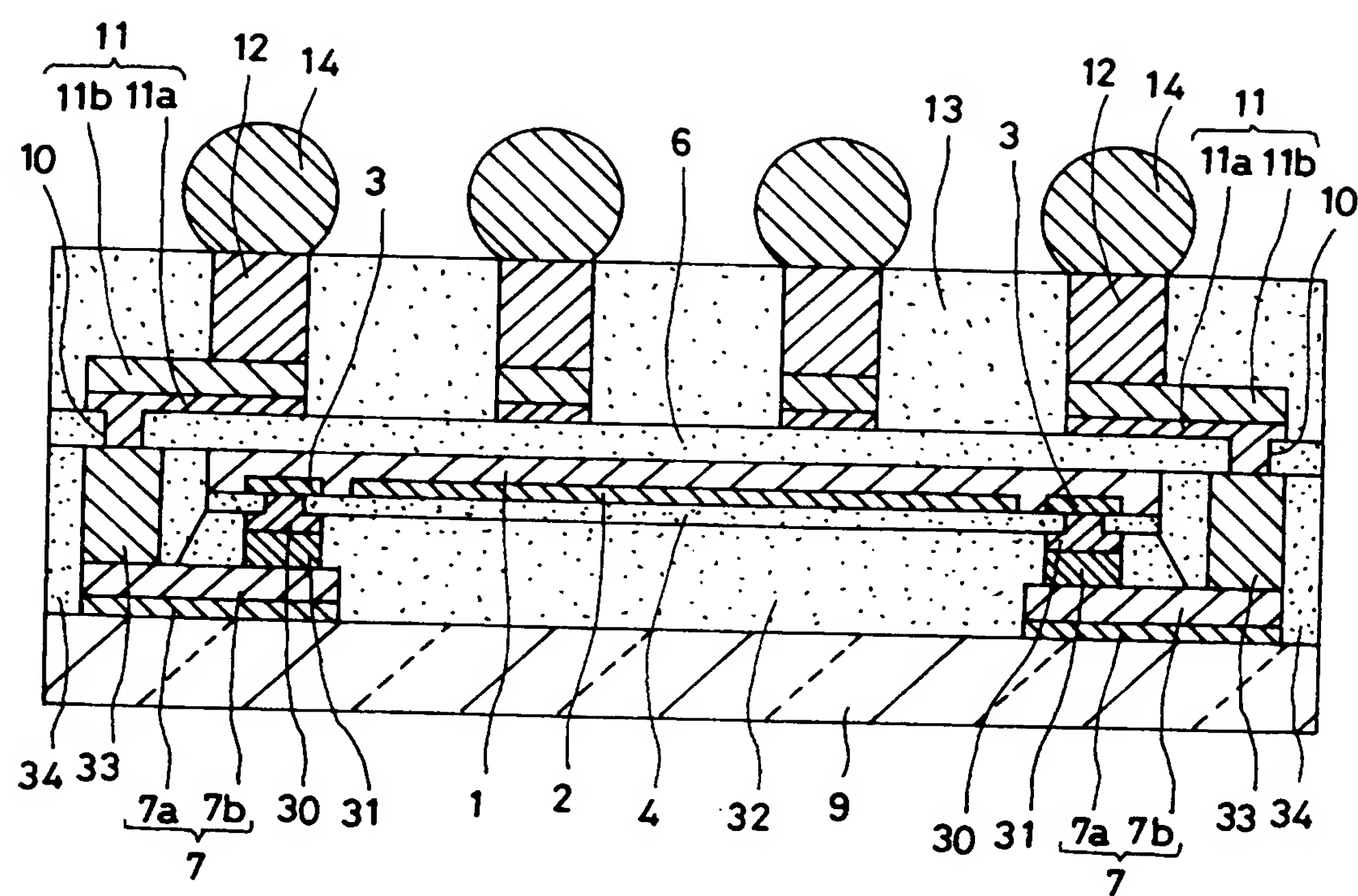
【図 14】



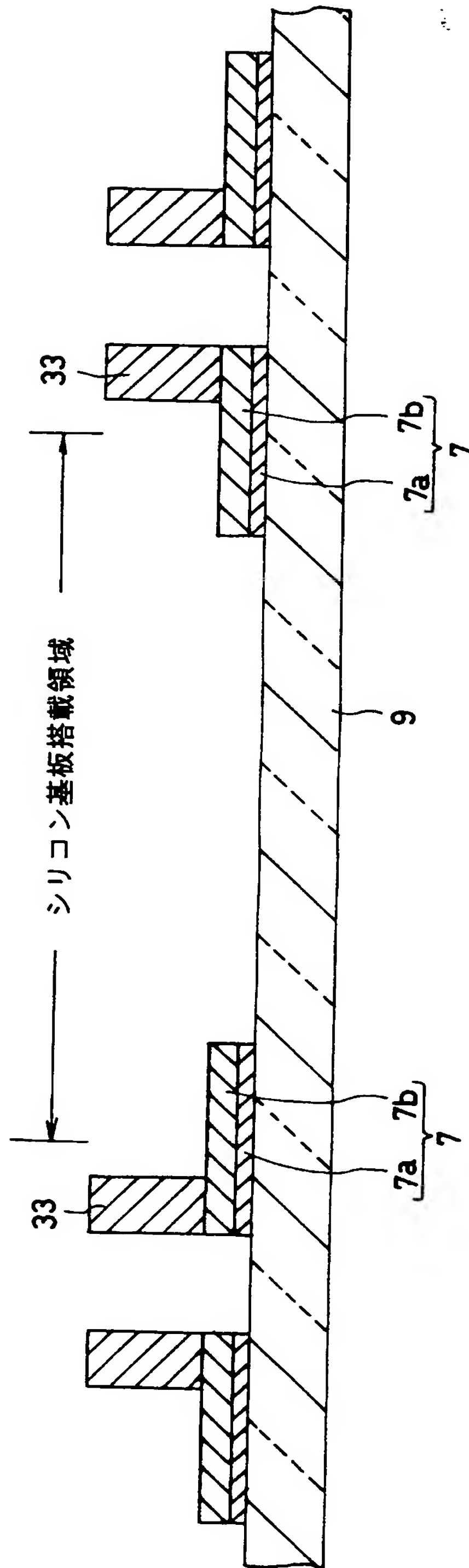
【図 15】



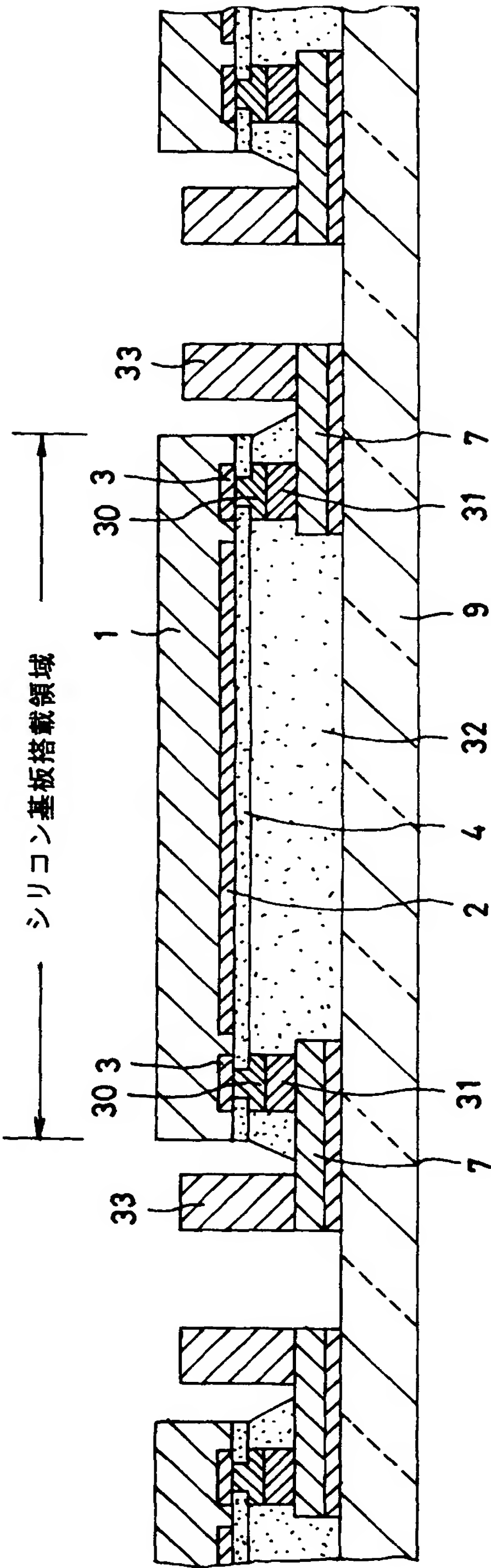
【図 1 6】



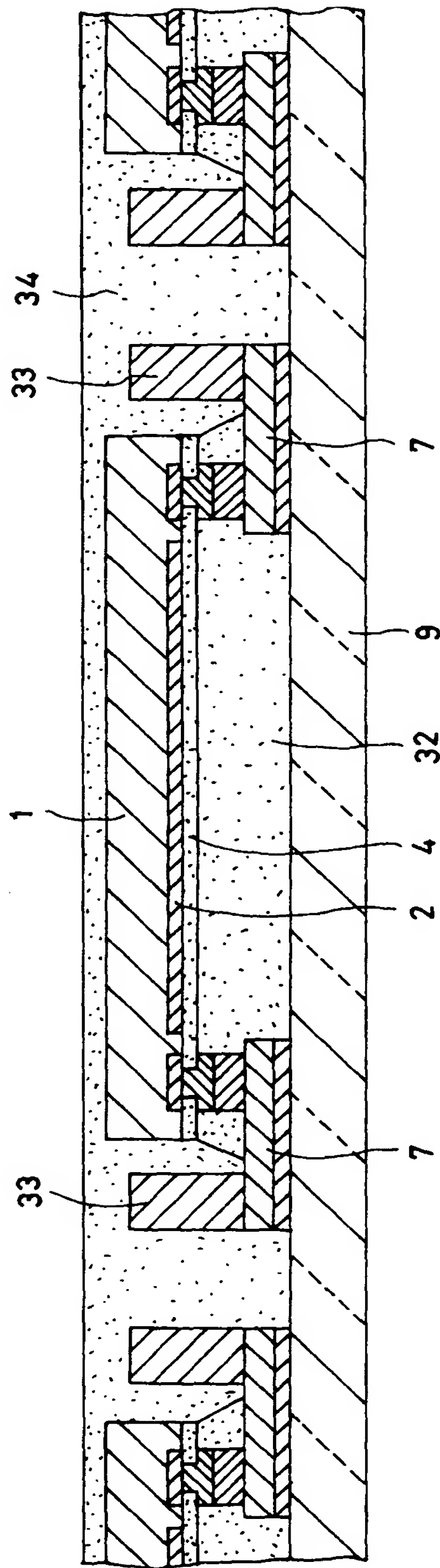
【図 17】



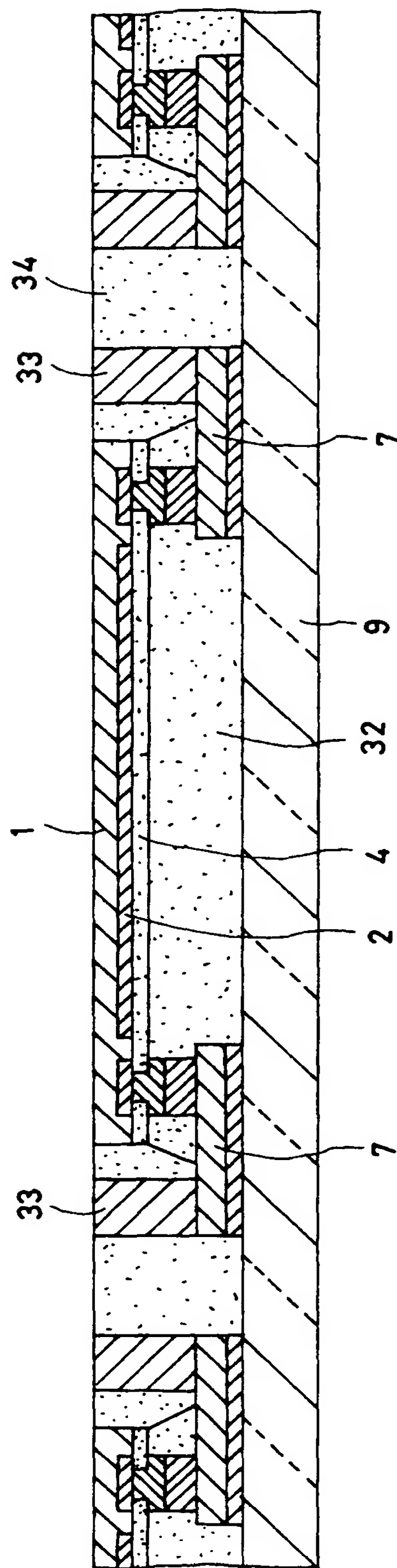
【図 18】



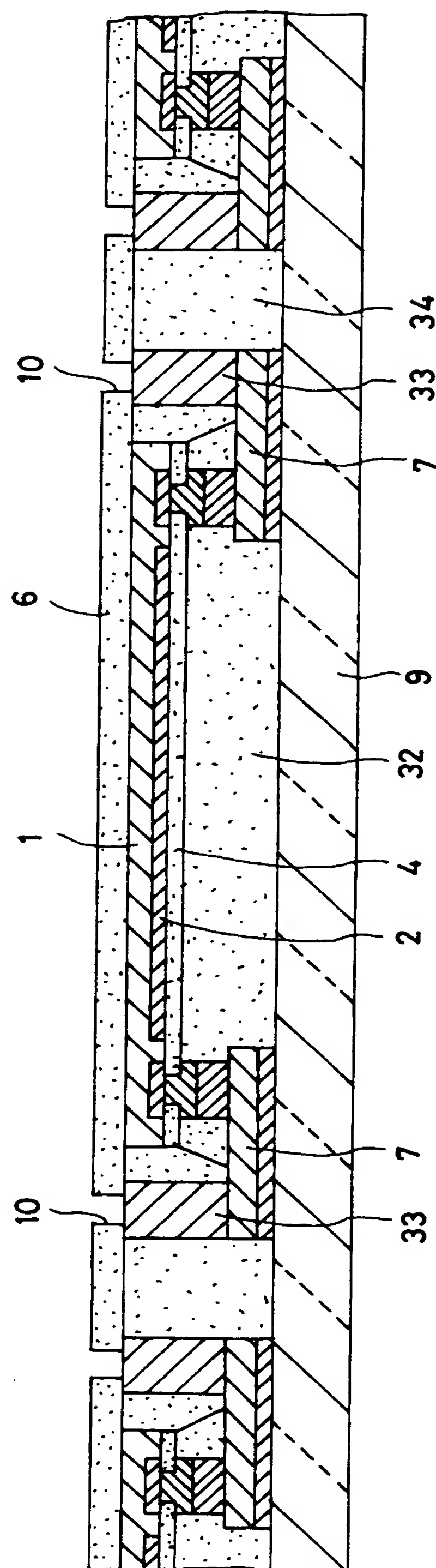
【図 19】



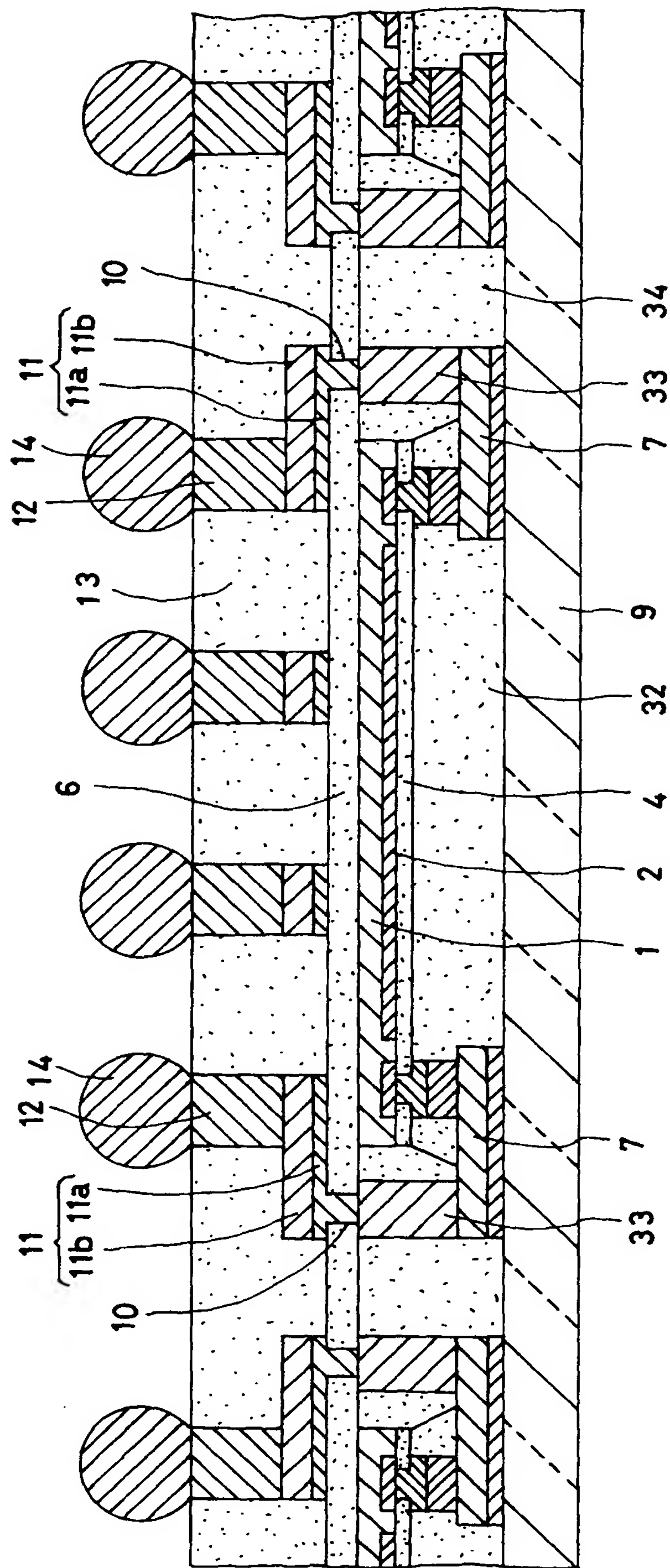
【図 20】



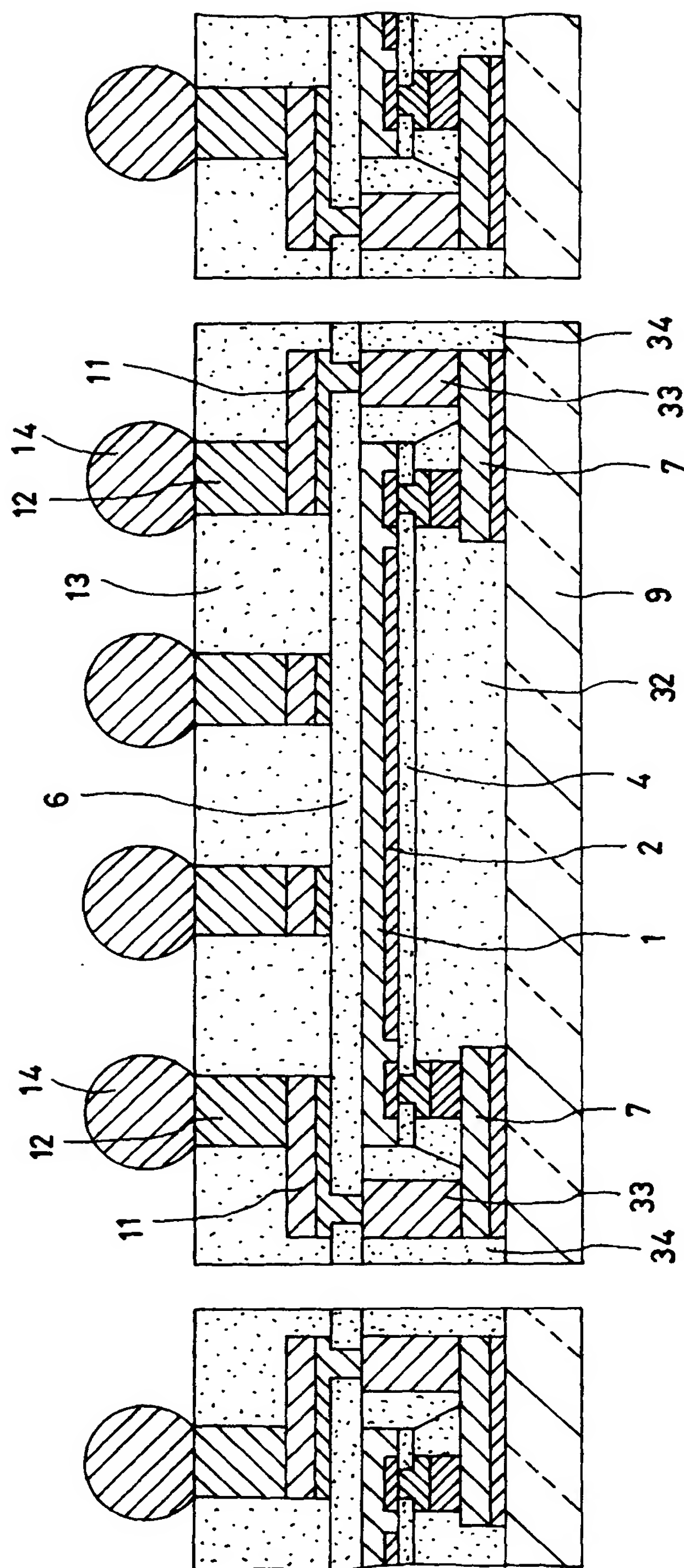
【図 21】



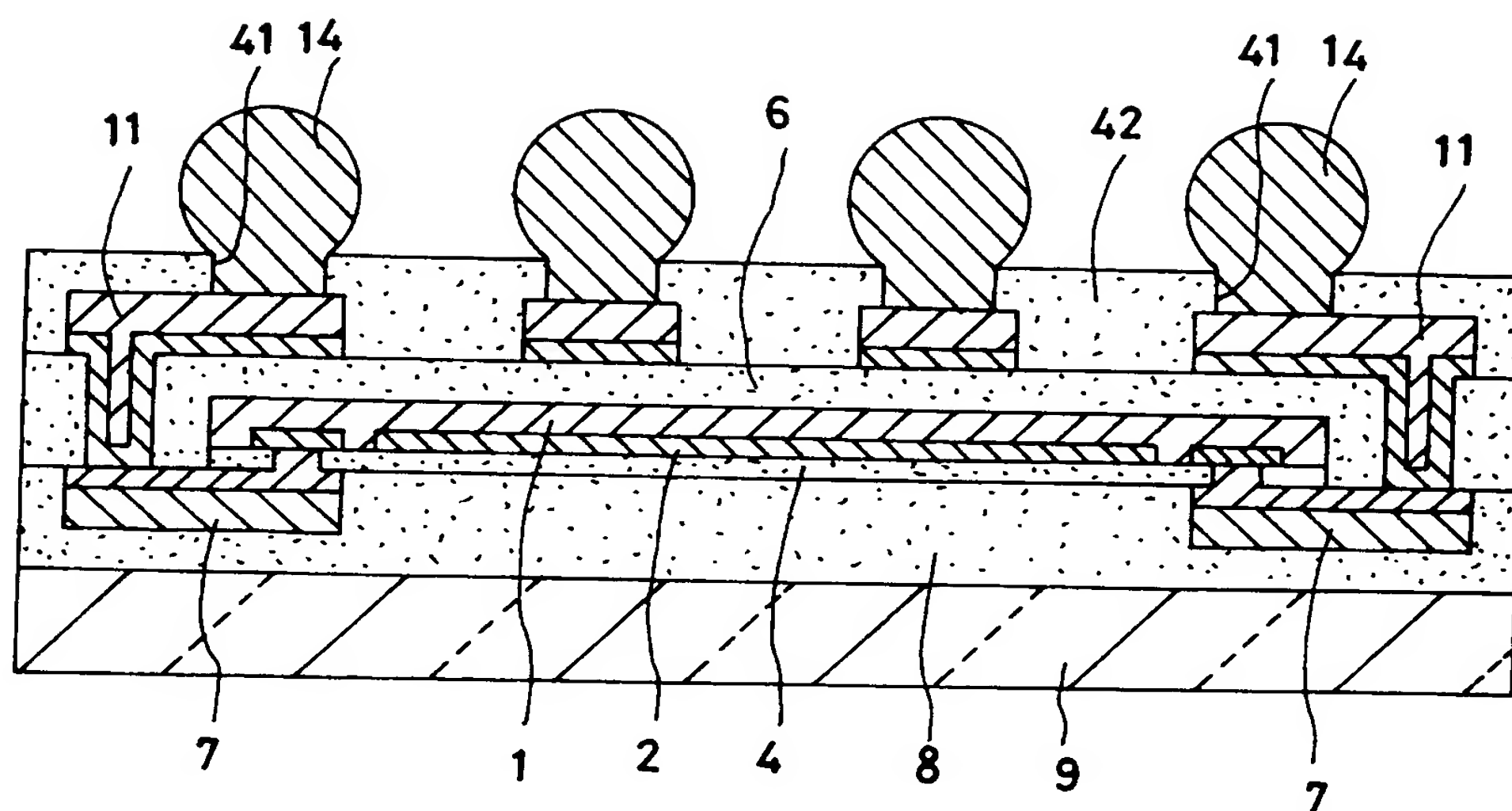
【図 22】



【圖 23】



【図 24】



【書類名】 要約書

【要約】

【課題】 C C D 等の光電変換デバイス領域を備えた半導体パッケージを薄型化し、且つ、その生産性を向上する。

【解決手段】 複数の半導体パッケージに対応するサイズのガラス基板 9 上の透明接着層 8 上には、下面に光電変換デバイス領域 2 を有するシリコン基板 1 が相互に離間して接着されている。この場合、シリコン基板 1 の下面周辺部およびその周囲には接続用配線 7 がシリコン 1 の接続パッド 3 に接続されて設けられている。そして、絶縁膜 6、再配線 1 1、柱状電極 1 2、封止膜 1 3 および半田ボール 1 4 を形成した後に、シリコン基板 1 間において切断し、光電変換デバイス領域 2 を備えた半導体パッケージを複数個得る。

【選択図】 図 1 4

認定・付加情報

特許出願の番号	特願 2 0 0 2 - 2 7 4 8 0 7
受付番号	5 0 2 0 1 4 1 1 2 3 5
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 4 年 9 月 2 4 日

< 認定情報・付加情報 >

【提出日】	平成14年 9月20日
-------	-------------

次頁無

特願 2 0 0 2 - 2 7 4 8 0 7

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 1 4 4 3]

1 . 変更年月日

1 9 9 0 年 8 月 1 0 日

[変更理由]

新規登録

住 所

東京都新宿区西新宿 2 丁目 6 番 1 号

氏 名

カシオ計算機株式会社

2 . 変更年月日

1 9 9 8 年 1 月 9 日

[変更理由]

住所変更

住 所

東京都渋谷区本町 1 丁目 6 番 2 号

氏 名

カシオ計算機株式会社